

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出願年月日 2002年12月20日
Date of Application:

出願番号 特願2002-369951
Application Number:

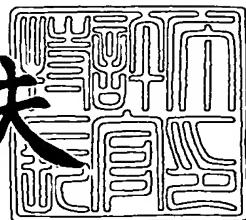
[ST. 10/C] : [JP2002-369951]

出願人 セイコーエプソン株式会社
Applicant(s):

2003年11月 5日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



【書類名】 特許願
【整理番号】 J0094935
【提出日】 平成14年12月20日
【あて先】 特許庁長官 殿
【国際特許分類】 G02F 1/13
【発明の名称】 電気光学基板の製造方法、電気光学装置の製造方法、電
気光学装置
【請求項の数】 9
【発明者】
【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株
式会社内
【氏名】 安川 昌宏
【特許出願人】
【識別番号】 000002369
【氏名又は名称】 セイコーエプソン株式会社
【代理人】
【識別番号】 100089037
【弁理士】
【氏名又は名称】 渡邊 隆
【代理人】
【識別番号】 100064908
【弁理士】
【氏名又は名称】 志賀 正武
【選任した代理人】
【識別番号】 100110364
【弁理士】
【氏名又は名称】 実広 信哉

【手数料の表示】**【予納台帳番号】** 008707**【納付金額】** 21,000円**【提出物件の目録】****【物件名】** 明細書 1**【物件名】** 図面 1**【物件名】** 要約書 1**【包括委任状番号】** 9910485**【プルーフの要否】** 要

【書類名】 明細書

【発明の名称】 電気光学基板の製造方法、電気光学装置の製造方法、電気光学装置

【特許請求の範囲】

【請求項 1】 支持基板と、半導体層を備えた半導体基板とを貼り合わせてなる複合基板を用いた電気光学基板の製造方法であって、
支持基板上に遮光層を所定パターンにて形成する工程と、
前記所定パターンの遮光層上に絶縁体層を形成する工程と、
前記絶縁体層上に半導体層を形成する工程と、
前記半導体層の一部を酸化して酸化層を形成する工程と、
前記酸化層を除去する工程と、を含み、
前記酸化層の層厚を、前記絶縁体層の層厚よりも小さくすることを特徴とする電気光学基板の製造方法。

【請求項 2】 前記半導体層を形成する工程の後に、前記半導体層をパテーニングする工程と、その所定パターンの半導体層の一部を酸化して酸化層を形成する工程とを含むことを特徴とする請求項 1 に記載の電気光学基板の製造方法。

【請求項 3】 前記酸化層を除去する工程の後に、前記半導体層の一部を酸化してゲート酸化層を形成する工程を含むことを特徴とする請求項 1 又は 2 に記載の電気光学基板の製造方法。

【請求項 4】 前記酸化層の層厚を、前記半導体層の非形成領域であって且つ前記遮光層上に形成された絶縁体層の層厚よりも小さくすることを特徴とする請求項 1 ないし 3 のいずれか 1 項に記載の電気光学基板の製造方法。

【請求項 5】 前記遮光層と前記絶縁体層との間に塗化シリコン膜又は塗化酸化シリコン膜が形成されていることを特徴とする請求項 1 ないし 4 のいずれか 1 項に記載の電気光学基板の製造方法。

【請求項 6】 前記半導体層を形成する工程において、当該半導体層を含む単結晶半導体基板と、前記絶縁体層を備える支持基板とを貼り合わせる工程を含むことを特徴とする請求項 1 ないし 5 のいずれか 1 項に記載の電気光学基板の製造方法。

【請求項 7】 前記遮光層を高融点金属又は高融点金属の珪素化合物により形成することを特徴とする請求項 1 ないし 6 のいずれか 1 項に記載の電気光学基板の製造方法。

【請求項 8】 半導体素子を備える電気光学装置の製造方法であって、請求項 1 ないし 7 のいずれか 1 項に記載の製造方法を用い、前記半導体素子を含む電気光学基板を製造する工程を含むことを特徴とする電気光学装置の製造方法。

【請求項 9】 基板上に半導体素子を備えてなる電気光学装置であって、前記基板上には、所定パターンの遮光層と、該遮光層上に形成された絶縁体層と、該絶縁体層上に形成された所定パターンの半導体層とを含み、前記遮光層と前記半導体層との間に形成された絶縁体層の層厚が、表示領域において $0.4 \mu\text{m}$ 以上であることを特徴とする電気光学装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、 Silicon On Insulator (以下、「SOI」) と略記する。) 技術を適用した電気光学基板の製造方法、電気光学装置の製造方法、及び電気光学装置に関するものである。

【0002】

【従来の技術】

例えば、薄膜トランジスタ (以下適宜、 TFT と略す) を用いたアクティブマトリクス駆動方式の電気光学装置では、各画素に設けられた画素スイッチング用の TFT のチャネル領域に光が照射されると、光による励起で光リーク電流が発生し TFT の特性が変化してしまう場合がある。特に、プロジェクタにおけるライトバルブ用の電気光学装置の場合には、入射光の強度が高いため、 TFT のチャネル領域やその周辺領域において入射光を遮光することが重要となる。そこで従来は、対向基板に設けられた各画素の開口領域を規定する遮光膜により、或いは TFT アレイ基板上において TFT の上を通過すると共に Al (アルミニウム) 等の金属膜からなるデータ線により、係るチャネル領域やその周辺領域を遮光するように構成している。

【0003】

そして特に、TFTアレイ基板上におけるTFTの下側にも、例えば高融点金属からなる遮光膜を設けることがある。このようにTFTの下側にも遮光膜を設ければ、TFTアレイ基板側からの裏面反射光や、複数の電気光学装置をプリズム等を介して組み合わせて一つの光学系を構成する場合に他の電気光学装置からプリズム等を突き抜けてくる投射光などの戻り光が、当該電気光学装置のTFTに入射するのを未然に防ぐことができる。

【0004】**【特許文献1】**

特開平4-133033号公報

【0005】**【発明が解決しようとする課題】**

このようなTFTを製造する技術としてSOI技術が知られている。SOI技術は、素子の高速化や低消費電力化、高集積化を図ることができる等の利点を有することから、例えば電気光学装置に好ましく適用されている技術である。基板上に遮光層及び絶縁体層を形成してなる支持基板と、単結晶シリコンなどからなる単結晶半導体層を含むデバイス形成層とを貼り合わせ、研磨する方法等により薄膜単結晶半導体層を形成し、その薄膜単結晶半導体層を例えれば液晶駆動用のTFTに適用している。

【0006】

そして、薄膜単結晶半導体層を液晶駆動用のTFT等のトランジスタ素子に適用する場合には、パターニングした薄膜単結晶半導体層をウェットエッチングする方法や、薄膜単結晶半導体層を酸化して酸化膜とした後、その酸化膜をウェットエッチングする方法などにより、トランジスタ素子を構成する薄膜単結晶半導体層の膜厚の制御が行われている。

【0007】

しかしながら、上記薄膜単結晶半導体層の膜厚制御工程においては、酸化膜をウェットエッチングする際に、薄膜単結晶半導体層の非形成領域では、貼り合わせ界面、更には支持基板側の絶縁体層がエッチングされ、さらにその下層の遮光

層までもが侵される場合があり、本来の遮光性能を十分に発揮できない等の不具合が生じる場合があった。

【0008】

本発明は、上記の問題に鑑みてなされたものであって、S O I 技術が適用され、基板の表面に遮光層が形成された電気光学基板において、高い信頼性が得られる電気光学基板を歩留まり良く製造することができる方法を提供することを目的としている。より詳細には、遮光層を用いることで耐光性に優れるとともに、この遮光層が製造プロセス上において侵される等の不具合の生じ難い電気光学基板の製造方法と、それを用いた電気光学装置の製造方法を提供することを目的としている。また、上記製造方法により製造し得る、信頼性に優れた電気光学装置を提供することを目的としている。

【0009】

【課題を解決するための手段】

上記課題を解決するために、本発明の電気光学基板の製造方法は、支持基板と、半導体層を備えた半導体基板とを貼り合わせてなる複合基板を用いた電気光学基板の製造方法であって、支持基板上に遮光層を所定パターンにて形成する工程と、前記所定パターンの遮光層上に絶縁体層を形成する工程と、前記絶縁体層上に半導体層を所定パターンにて形成する工程と、前記所定パターンの半導体層の一部を酸化して酸化層を形成する工程と、前記酸化層を除去する工程と、を含み、前記酸化層の層厚を、前記絶縁体層の層厚よりも小さくすることを特徴とする。

【0010】

このような製造方法によると、半導体層の層厚を制御するために、その半導体層の一部を酸化し、これを除去する工程を含み、その際、半導体層の一部を酸化して形成される酸化層（以下、これを犠牲酸化層とも言う）の層厚を絶縁体層の層厚よりも小さくしたために、該酸化層の除去工程において、半導体層の非形成領域に位置する絶縁体層が侵された場合にも、該絶縁体層全体がエッチング（又は除去）されることがなくなり、少なくとも遮光層が侵される惧れがなくなり、当該遮光膜形成による遮光性が十分に付与されることとなる。したがって、不良

が少ない高信頼性の電気光学基板を歩留まり良く製造することができるようになる。なお、具体的には、前記酸化層の層厚を、前記半導体層の非形成領域であつて且つ前記遮光層上に形成された絶縁体層の層厚よりも小さくするものとすれば、該遮光層が酸化膜除去工程において侵される等の不具合発生を一層確実に防止できるようになる。

【0011】

なお、前記半導体層を形成する工程の後に、前記半導体層をパターニングする工程と、その所定パターンの半導体層の一部を酸化して酸化層を形成する工程とを含むものとすることができる。また、前記酸化層を除去する工程の後に、前記半導体層の一部を酸化してゲート酸化層を形成する工程を含むものとすることもできる。

【0012】

さらに、前記遮光層と前記絶縁体層との間に塗化シリコン膜又は塗化酸化シリコン膜が形成されているものとすることができます。係る塗化シリコン膜又は塗化酸化シリコン膜は、緻密に形成できるため、酸素や水分等の酸化種の透過率を顕著に低くできる。即ち、酸素や水分などの酸化種は、緻密な塗化シリコン膜又は塗化酸化シリコン膜を透過し難いので、遮光膜が酸化するのを防止ないし抑制することが可能となり、当該遮光性能を一層高めることが可能となる。そして、本発明では、その遮光層上であって、塗化シリコン膜又は塗化酸化シリコン膜上に形成される絶縁体層の層厚を、上記犠牲酸化層よりも大きく構成したために、該塗化シリコン膜又は塗化酸化シリコン膜が侵される等の不具合も生じ難く、一層確実に遮光性能を維持することができる。さらに、塗化シリコン膜又は塗化酸化シリコン膜は、その膜厚を大きくすると着色の問題が生じるが、本発明では上述のように塗化シリコン膜又は塗化酸化シリコン膜が製造プロセスにおいて侵されることもないで、塗化シリコン膜又は塗化酸化シリコン膜の膜厚を小さくすることができ、着色の問題も回避することができるようになる。

【0013】

また、前記半導体層を形成する工程において、当該半導体層を含む単結晶半導体基板と、前記絶縁体層を備える支持基板とを貼り合わせる工程を含むものとす

ることができる。これにより、支持基板と、半導体層を備えた半導体基板とを貼り合わせてなる複合基板を得ることができ、好適に本発明の半導体層を形成することができるようになる。本発明に用いる支持基板としては透光性の絶縁基板、例えば石英基板等を主体として構成することが好ましい。

【0014】

なお、本発明においては、遮光膜を所定パターンに形成するものとしたが、例えば格子状、ストライプ状、島状などの所定形状の平面パターンを有する遮光膜により、半導体層（例えばチャネル領域）を下側から遮光することができる。このような遮光層としては、高融点金属又は高融点金属の珪素化合物により形成することができ、この場合、当該電気光学装置基板における遮光性機能を十分に発現することが可能となる。高融点金属としては、例えばTi（チタン）、Cr（クロム）、W（タンクステン）、Ta（タンタル）、Mo（モリブデン）、Pb（鉛）等を例示でき、これらの金属単体、合金、金属シリサイド、ポリシリサイド、これらを積層したもの等を含む膜として、上記遮光層を構成することができる。

【0015】

また、前記遮光層上に形成する絶縁体層としては例えば酸化シリコンを主体として構成することが好ましく、例えば多層構造のものを採用することができる。絶縁体層は遮光層を完全に覆う、例えば支持基板の略全面に形成することができるが、例えば遮光層よりも一回り大きい格子状、ストライプ状、島状などの形状の平面パターンを有しており、絶縁部の縁は平面的に見て遮光層の縁から離れている。また、遮光層と塗化シリコン膜又は塗化酸化シリコン膜との間には、両者の密着性向上を目的として酸化シリコン膜を形成することができる。

【0016】

次に、本発明の電気光学装置の製造方法は、半導体素子を備える電気光学装置の製造方法であって、上記製造方法を用い、前記半導体素子を含む電気光学基板を製造する工程を含むことを特徴とする。すなわち、電気光学装置をスイッチング駆動するための半導体素子を含む半導体基板として、上記製造方法により得られる電気光学基板を適用することで、遮光性に優れ、信頼性の高い半導体基板を

提供することが可能となる。

【0017】

また、本発明の電気光学装置は、基板上に半導体素子を備えてなる電気光学装置であって、前記基板上には、所定パターンの遮光層と、該遮光層上に形成された絶縁体層と、該絶縁体層上に形成された所定パターンの半導体層とを含み、前記遮光層と前記半導体層との間に形成された絶縁体層の層厚が、表示領域において $0.4\mu m$ 以上であることを特徴とする。

【0018】

電気光学装置においては、表示に寄与する表示領域と、その他の領域の非表示領域とを形成し、非表示領域の基板上に周辺駆動回路を搭載する場合に、非表示領域では半導体素子の駆動電圧を $12V$ 程度必要とするため、その半導体装置においては半導体層の層厚が $0.2\mu m$ 以上必要となる。一方、非表示領域においてこのような半導体層を形成する場合には、表示領域においては設計上 $0.07\mu m$ 以下の膜厚となる。ここで、表示領域と非表示領域の半導体層と同じ工程で形成する場合、少なくとも $0.2\mu m$ 以上の膜厚を有する半導体層を形成する必要があるが、この $0.2\mu m$ 以上の膜厚を有する半導体層を、表示領域において $0.07\mu m$ 程度とするためには、 $0.13\mu m$ 程度の膜厚の半導体層を除去することが必要となる。この除去方法として上述したような犠牲酸化膜を形成し、これを除去する方法を採用した場合、酸化による体積膨張を考慮して $0.3\mu m$ 程度の犠牲酸化膜を形成する必要がある。したがって、上記電気光学基板の製造方法で示した通り、当該半導体層の下側に形成される絶縁体層は、この犠牲酸化膜の膜厚以上、例えば膜の化学的研磨等によるマージンを考慮して $0.4\mu m$ 程度は少なくとも必要とするのである。言い換えると、 $0.4\mu m$ 程度の膜厚の絶縁体層を形成することにより、絶縁体層が侵され、内部の遮光膜等が剥離する等の不具合も解消でき、信頼性の高い電気光学装置を提供することが可能となるのである。

【0019】

【発明の実施の形態】

以下、本発明の実施の形態を図面を参照して詳細に説明する。なお、以下の図

面においては、図面を見やすくするため、各構成要素の膜厚や寸法の比率などは適宜異ならせてある。

【0020】

(電気光学基板)

まず、本発明の製造方法により提供される電気光学基板の構成について説明する。図1は、本発明に係る電気光学基板の断面構成図である。この図1に示す電気光学基板200は、支持基板210と、この支持基板210上に形成され、所定の形状にパターニングされた遮光層211と、この遮光層211を覆うように形成された酸化シリコン膜からなる接着層214と、接着層214上に形成された塗化シリコン膜又は塗化酸化シリコン膜からなる保護層215と、さらに保護層215上に形成された絶縁体層212と、この絶縁体層212上に、貼合せ絶縁層216を介して形成された単結晶シリコン層(半導体層)206とを備えて構成されている。ここでは、例えば遮光層211に下側から覆われる位置の半導体層206に、トランジスタ素子等の各種スイッチング素子が形成されるようになっている。

【0021】

次に、図1に示す電気光学基板200の製造方法について、図2及び図3を参照して説明する。図2及び図3は、図1に示す電気光学基板の製造工程を示す断面工程図であり、図2(a)～(d)、図3(a)～(c)はそれぞれ各工程における断面図を示している。また、以下に示す製造方法は、一例であって、本発明は以下に記載のものに限定されない。

【0022】

まず、図2(a)に示すように、支持基板210上の全面に遮光層211を形成する。支持基板210としては、例えば厚さ1.2mmの石英基板を用いることができる。遮光層211は、例えばタンゲステンシリサイドをスパッタ法により100～250nm程度の厚さ、より好ましくは200nmの厚さに堆積することにより得る。なお、この遮光層211の材料は本実施形態に限定されるものではなく、製造するデバイスの熱プロセス最高温度に対して安定な材料であればどのような材料を用いても問題はない。例えば他にもモリブデン、タンタルなど

の高融点金属や多結晶シリコン、さらにはモリブデンシリサイド等のシリサイドが好ましい材料として用いられ、形成法もスパッタ法の他、CVD法、電子ビーム加熱蒸着法などを用いることができる。

【0023】

次に、図2（a）に示す遮光層211上に、所定の平面形状にフォトレジストを塗布し、このフォトレジストをマスクとして遮光層211のエッチングを行い、その後フォトレジストを剥離して図2（b）に示すように所定のパターンの遮光層211が形成された支持基板を得る。上記フォトレジストは、トランジスタ素子形成領域に対応する位置のほか、トランジスタ素子の非形成領域（トランジスタ素子の周辺領域）にも同様に形成する。ここで、トランジスタ素子の非形成領域とは、具体的には、トランジスタ素子形成領域の周辺領域に存在する、対向基板貼り合わせのためのシール材を塗布するシール領域や、データ線、走査線を駆動するための駆動回路の周辺部、入出力信号線を接続するための接続端子を形成する端子パッド領域等を指す。

【0024】

次に、図2（c）に示すように、例えば酸化シリコン膜からなる接着層214、及び窒化シリコン膜又は窒化酸化シリコン膜のいずれかからなる保護層215を、パターンニングされた遮光層211を覆うように、例えばスパッタ法等により形成する。さらに、その保護層215上に例えば酸化シリコン膜からなる絶縁体層212を堆積する。このような酸化シリコン膜は、例えばスパッタ法、あるいはTEOS（テトラエチルオルソシリケート）を用いたプラズマCVD法により堆積させる。なお、絶縁体層212の材料としては、上記の酸化シリコン膜の他に、例えばNSG（ノンドープシリケートガラス）、PSG（リンシリケートガラス）、BSG（ボロンシリケートガラス）、BPSG（ボロンリンシリケートガラス）などの高絶縁性ガラス等を用いることができる。

【0025】

次に、図2（d）に示すように、絶縁体層212の表面を、遮光層211上に所定の膜厚を残す条件で、例えば研磨後の遮光層211上の層厚が0.4μm程度となるようにグローバルに研磨して平坦化する。なお、研磨による平坦化の手

法としては、例えばCMP（化学的機械研磨）法を用いることができる。

【0026】

次に、図3（a）に示すように、図2（d）に示した絶縁体層付き支持基板210と、単結晶シリコン基板（単結晶半導体基板）260との貼り合わせを行う。貼り合わせに用いる単結晶シリコン基板260は、貼合せ絶縁層216上に単結晶シリコン層226が形成された構成をなし、貼合せ絶縁層216と、上記支持基板210の絶縁体層212とを貼り合わせるものとしている。

【0027】

このような貼合せ工程後、単結晶シリコン層226の膜厚制御を行う。この場合、例えば図3（b）に示すように、単結晶シリコン層226を酸化して所定の層厚の犠牲酸化層226aを形成するとともに、犠牲酸化層226a上に、所定の平面形状にフォトレジストを塗布し、このフォトレジストをマスクとして単結晶シリコン層206と犠牲酸化層226aのエッチングを行い、その後フォトレジストを剥離して図3（c）に示すように所定のパターンの単結晶シリコン層226及び犠牲酸化層226aの積層構造を得る。そして、犠牲酸化層226aをドライエッチング、或いはウェットエッチングにより除去することで、所定膜厚の単結晶シリコン層（半導体層）206を得る。以上のような方法により、図1に示すような半導体層206を備えた電気光学基板200が得られる。

【0028】

なお、図9に示すような方法によっても図1に示した半導体層206を備えた電気光学基板200を得ることができる。すなわち、図9（a）に示すように、図2（d）に示した絶縁体層付き支持基板210と、単結晶シリコン基板（単結晶半導体基板）260との貼り合わせを行う。貼り合わせに用いる単結晶シリコン基板260は、貼合せ絶縁層216上に単結晶シリコン層226が形成された構成をなし、貼合せ絶縁層216と、上記支持基板210の絶縁体層212とを貼り合わせるものとしている。

【0029】

このような貼合せ工程後、単結晶シリコン層226上に、所定の平面形状にフォトレジストを塗布し、このフォトレジストをマスクとして単結晶シリコン層2

26のエッチングを行い、その後フォトレジストを剥離して図9（b）に示すように所定のパターンの単結晶シリコン層226を得る。次に、形成した単結晶シリコン層226の膜厚制御を行う。この場合、例えば図9（c）に示すように、単結晶シリコン層226の一部を酸化して所定の層厚の犠牲酸化層226aを形成し、この犠牲酸化層226aをドライエッチング、或いはウェットエッチングにより除去することで、所定膜厚の単結晶シリコン層（半導体層）206を得る。以上のような方法により、図1に示すような半導体層206を備えた電気光学基板200が得られる。

【0030】

以上のような本実施形態の製造方法では、貼合せ工程の後、パターニングされた単結晶シリコン層226の層厚を制御するために、その単結晶シリコン層226の厚さ方向において一部を酸化し、これを除去する工程を含んでいるが、その除去工程において、単結晶シリコン層226の一部を酸化して形成される犠牲酸化層226aの層厚を、支持基板210側の絶縁体層212の層厚よりも小さくした。具体的には、図3及び図9に示すように、遮光層211上に形成された絶縁体層212の層厚Aよりも、犠牲酸化層226aの層厚Bを小さい値としたため、犠牲酸化層226aの除去工程（エッチング工程）において、単結晶シリコン層226の非形成領域に位置する絶縁体層211が侵された場合にも、遮光層211と絶縁体層211との間に形成した保護層215、ひいては遮光層211まで剥離が生じる等の不具合発生を防止できるようになる。したがって、遮光膜211形成による遮光性付与が確実に発現されることとなり、不良が少ない高信頼性の電気光学基板を歩留まり良く製造することができるようになる。

【0031】

また、遮光層211と絶縁体層211との間に形成した塗化シリコン膜又は塗化酸化シリコン膜を主体として構成される保護層215が侵されないために、当該電気光学基板の信頼性が向上する。すなわち、塗化シリコン膜又は塗化酸化シリコン膜は、緻密に形成できるため、酸素や水分等の酸化種の透過率を顕著に低くできるため、保護層215の形成により遮光層211が酸化するのを防止ないし抑制することが可能となり、当該遮光性能を一層高めることが可能とな

る。そして、本実施形態では、その保護層215上に形成される絶縁体層211の層厚Aを、犠牲酸化層226aの層厚Bよりも大きく構成したために、保護層215が侵される等の不具合も生じ難く、一層確実に遮光性能の維持を確立することができる。さらに、塗化シリコン膜又は塗化酸化シリコン膜からなる保護層215は、その膜厚を大きくすると着色の問題が生じるが、本実施形態では上述のように保護層215が製造プロセスにおいて侵されることもないで、該保護層215の膜厚を小さくすることができ、着色の問題も回避することができるようになる。

【0032】

(液晶装置)

図4は電気光学装置としての液晶装置の画像形成領域（画素部若しくは表示領域）を構成するマトリクス状に形成された複数の画素における各種素子、配線等の等価回路である。また、図5は、データ線、走査線、画素電極、遮光膜等が形成されたTFTアレイ基板の相隣接する複数の画素群を拡大して示す平面図である。

また、図6は、図5のA-A'断面図である。尚、図6においては、各層や各部材を図面上で認識可能な程度の大きさとするため、各層や各部材毎に縮尺を異ならしめてある。

【0033】

図4において、本実施形態による液晶装置の画像表示領域（画素部若しくは表示領域）を構成するマトリクス状に形成された複数の画素は、マトリクス状に複数形成された画素電極9aと画素電極9aを制御するためのTFT（トランジスタ素子）30とからなり、画像信号が供給されるデータ線6aが当該TFT30のソースに電気的に接続されている。データ線6aに書き込む画像信号S1、S2、…、Snは、この順に線順次に供給しても構わないし、相隣接する複数のデータ線6a同士に対して、グループ毎に供給するようにしても良い。また、TFT30のゲートに走査線3aが電気的に接続されており、所定のタイミングで、走査線3aにパルス的に走査信号G1、G2、…、Gmを、この順に線順次で印加するように構成されている。画素電極9aは、TFT30のドレインに電気的

に接続されており、スイッチング素子である TFT30 を一定期間だけそのスイッチを閉じることにより、データ線 6a から供給される画像信号 S1、S2、…、Sn を所定のタイミングで書き込む。

【0034】

画素電極 9a を介して液晶に書き込まれた所定レベルの画像信号 S1、S2、…、Sn は、対向基板 20（図 6 参照）に形成された対向電極 21（図 6 参照）との間で一定期間保持される。液晶は、印加される電圧レベルにより分子集合の配向や秩序が変化することにより、光を変調し、階調表示を可能にする。ノーマリーホワイトモードであれば、印加された電圧に応じて入射光がこの液晶部分を通過不可能とされ、ノーマリーブラックモードであれば、印加された電圧に応じて入射光がこの液晶部分を通過可能とされ、全体として液晶装置からは画像信号に応じたコントラストを持つ光が出射する。ここで、保持された画像信号がリークするのを防ぐために、画素電極 9a と対向電極との間に形成される液晶容量と並列に蓄積容量 70 を付加する。例えば、画素電極 9a の電圧は、データ線に電圧が印加された時間よりも 3 衍も長い時間だけ蓄積容量 70 により保持される。これにより、保持特性は更に改善され、コントラスト比の高い液晶装置が実現できる。本実施形態では特に、このような蓄積容量 70 を形成するために、後述の如く走査線と同層、もしくは導電性の遮光膜を利用して低抵抗化された容量線 3b を設けている。

【0035】

次に、図 5 に基づいて、TFT アレイ基板の画素部（画像表示領域）内の平面構造について詳細に説明する。図 5 に示すように、液晶装置の TFT アレイ基板上の画素部内には、マトリクス状に複数の透明な画素電極 9a（点線部 9a' により輪郭が示されている）が設けられており、画素電極 9a の縦横の境界に各々沿ってデータ線 6a、走査線 3a 及び容量線 3b が設けられている。データ線 6a は、コンタクトホール 5 を介して単結晶シリコン層の半導体層 1a のうち後述のソース領域に電気的接続されており、画素電極 9a は、コンタクトホール 8 を介して半導体層 1a のうち後述のドレイン領域 1e に電気的接続されている。また、半導体層 1a のうちチャネル領域 1a'（図中右上りの斜線の領域；図 6 参

照) に対向するように走査線 3 a が配置されており、走査線 3 a はゲート電極として機能する。

【0036】

容量線 3 b は、走査線 3 a に沿ってほぼ直線状に伸びる本線部（即ち、平面的に見て、走査線 3 a に沿って形成された第1領域）と、データ線 6 a と交差する箇所からデータ線 6 a に沿って前段側（図中、上向き）に突出した突出部（即ち、平面的に見て、データ線 6 a に沿って延設された第2領域）とを有する。

【0037】

そして、図中右上がりの斜線で示した領域には、図 1 に示した遮光層 211 に対応する複数の第1遮光膜 11 a が設けられている。より具体的には、第1遮光膜 11 a は夫々、画素部において半導体層 1 a のチャネル領域を含む TFT を TFT アレイ基板の側から見て覆う位置に設けられており、更に、容量線 3 b の本線部に対向して走査線 3 a に沿って直線状に伸びる本線部と、データ線 6 a と交差する箇所からデータ線 6 a に沿って隣接する段側（即ち、図中下向き）に突出した突出部とを有する。第1遮光膜 11 a の各段（画素行）における下向きの突出部の先端は、データ線 6 a 下において次段における容量線 3 b の上向きの突出部の先端と重ねられている。この重なった箇所には、第1遮光膜 11 a と容量線 3 b とを相互に電気的接続するコンタクトホール 13 が設けられている。即ち、本実施形態では、第1遮光膜 11 a は、コンタクトホール 13 により前段あるいは後段の容量線 3 b に電気的接続されている。

【0038】

本実施形態において、画素電極 9 a 及び TFT は画素部内にのみ設けられているが、第1遮光膜 11 a は、画素部内のみならず、遮光を必要としない画素部の外側の領域（画素部の周辺領域）、すなわち対向電極基板を貼り合わせるためのシール材を塗布するシール領域や、入出力信号線を接続するための外部回路接続端子が形成された端子パッド領域等にも同様のパターンを 2 次元的に展開する形で形成することができる。これによって、第1遮光膜 11 a の上に形成する絶縁体層を研磨して平坦化する際に、画素部内と画素部の周辺領域の凹凸状態がほぼ同じとなるため、均一に平坦化することができ、単結晶シリコン層を良好な状態

で貼り合わせることができる。

【0039】

次に、図6に基づいて、液晶装置の画素部内の断面構造について説明する。図6に示すように、液晶装置は、光透過性基板の一例を構成するTFTアレイ基板10と、これに対向配置される透明な対向基板20とを備えている。TFTアレイ基板10は、石英基板10Aを備えてなり、対向基板20は、ガラス基板（石英基板でも良い）20Aを備えている。TFTアレイ基板10には、画素電極9aが設けられており、その上側には、ラビング処理等の所定の配向処理が施された配向膜40が設けられている。画素電極9aは例えば、ITO膜（インジウム・ティン・オキサイド膜）などの透明導電性薄膜からなる。また配向膜16は例えば、ポリイミド薄膜などの有機薄膜からなる。

【0040】

他方、対向基板20には、TFTアレイ基板10上のデータ線6a、走査線3a、画素スイッチング用TFT30の形成領域に対向する領域、すなわち各画素部の開口領域以外の領域に第2遮光膜23が設けられている。さらに、第2遮光膜23上を含む対向基板20上には、その全面にわたって対向電極（共通電極）21が設けられている。対向電極21もTFTアレイ基板10の画素電極9aと同様、ITO膜等の透明導電性膜から形成されている。第2遮光膜23の存在により、対向基板20の側からの入射光が画素スイッチング用TFT30の半導体層11aのチャネル領域1a'や低濃度ソース領域領域1b、低濃度ドレイン領域1cに侵入することはない。さらに、第2遮光膜23は、カラーフィルターを備えた構成の表示装置においては、コントラスト比の向上、色材の混色防止などの機能、いわゆるブラックマトリクスとしての機能を発現することが可能である。また、前記対向電極21の上側全面に配向膜60が形成されている。この配向膜60は、ポリイミドなどの有機配向膜の他、酸化シリコンなどを射方蒸着して形成した無機配向膜を適用することができる。

【0041】

このように構成され、画素電極9aと対向電極21とが対面するように配置されたTFTアレイ基板10と対向基板20との間には、シール材（図示を省略）

により囲まれた空間に液晶が封入され、液晶層50が形成される。液晶層50は、画素電極9aからの電界が印加されていない状態で配向膜40及び60により所定の配向状態を採る。液晶層50は、例えば一種又は数種類のネマティック液晶を混合した液晶からなる。シール材は、二つの基板10及び20をそれらの周辺で貼り合わせるための、例えば光硬化性樹脂や熱硬化性樹脂からなる接着剤であり、両基板間の距離を所定値とするためのグラスファイバー或いはガラスピーズ等のスペーサーが混入されている。

【0042】

図6に示すように、画素スイッチング用TFT30に各々対向する位置においてTFTアレイ基板10表面の各画素スイッチング用TFT30に対応する位置には第1遮光膜11aが各々設けられている。ここで、第1遮光膜11aは、好ましくは不透明な高融点金属であるTi、Cr、W、Ta、Mo及びNbのうちの少なくとも一つを含む、金属単体、合金、金属シリサイド等から構成される。

【0043】

このような材料から構成すれば、TFTアレイ基板10上の第1遮光膜11aの形成工程の後に行われる画素スイッチング用TFT30の形成工程における高温処理により、第1遮光膜11aが破壊されたり溶融しないようにできる。本実施形態においては、TFTアレイ基板10に第1遮光膜11aが形成されているので、TFTアレイ基板10の側からの戻り光等が画素スイッチング用TFT30のチャネル領域1a'やLDD領域1b、1cに入射する事態を未然に防ぐことができ、光電流の発生によりトランジスタ素子としての画素スイッチング用TFT30の特性が劣化することはない。

【0044】

また、第1遮光膜11aと半導体層1aとの間には、図1に示した構成と同様に、酸化シリコン膜からなる接着層14、塗化シリコン膜又は塗化酸化シリコン膜からなる保護層15、酸化シリコン膜からなる第1層間絶縁膜（絶縁体層）12が設けられている。第1層間絶縁膜12は、画素スイッチング用TFT30を構成する半導体層1aを第1遮光膜11aから電気的絶縁するために設けられるものである。更に、第1層間絶縁膜12は、TFTアレイ基板10の全面に形成

されており、第1遮光膜11aパターンの段差を解消するために表面を研磨し、平坦化処理を施してある。すなわち、図1に示す本発明の電気光学基板においては、第1層間絶縁膜12が絶縁体層212に対応し、TFT30を構成している半導体層1aが、半導体層206に対応している。そして、本実施形態の液晶装置は、上述した図1の電気光学基板200の製造方法により、TFTアレイ基板10を製造するものとしている。

【0045】

すなわち、本実施形態の液晶装置の製造方法は、以下の工程を少なくとも含むものとしている。すなわち、図2～図3に示した工程を用いて半導体層1aを備えた基板を製造する工程と、該基板の半導体層1aに、チャネル領域1a'、低濃度ソース領域1b、低濃度ドレイン領域1c、高濃度ソース領域1d、高濃度ドレイン領域1e、第1蓄積容量電極1f、走査線3a、容量線3b、第2層間絶縁膜4、データ線6a、第3層間絶縁膜7、コンタクトホール8、画素電極9aを従来と同様の方法（例えばフォトリソグラフィ法）により形成するとともに、画素電極9a上に配向膜40を形成してTFTアレイ基板10を製造する工程とを含んでいる。さらに、同様の工程により基板上に第2遮光膜23、対向電極21、配向膜60を形成して対向基板20を得る工程と、上述のように各層が形成されたTFTアレイ基板10と対向基板20とを配向膜の配向方向が交差（例えば90°）になるように配置し、セル厚が4μmになるようにシール材（図示略）により貼り合わせ、空パネルを作製する。液晶としてはTN液晶を使用し、この液晶をパネル内に封入し、本実施形態の液晶装置が得られる。

【0046】

なお、本実施形態において第1層間絶縁膜12は、上述の電気光学装置の製造方法で挙げたもののに他に、例えば、NSG（ノンドープシリケートガラス）、PSG（リンシリケートガラス）、BSG（ボロンシリケートガラス）、BPG（ボロンリンシリケートガラス）などの高絶縁性ガラス又は、塗化シリコン膜等により構成することができる。また、この第1層間絶縁膜12は、第1遮光膜11aが画素スイッチング用TFT30等を汚染する事態を未然に防ぐようになっているが、本実施形態の液晶装置では、液晶装置の製造プロセス中に、この第

1層間絶縁膜12が、エッチングされて薄くなるのを防止できるため、より効果的に第1遮光膜11aからの拡散を防止することができるようになっている。

【0047】

また、本実施形態の液晶装置では、第1遮光膜11aと半導体層1aとの間に形成された第1層間絶縁膜の層厚Aが、表示領域において $0.4\mu m$ 以上とされている。液晶装置においては、表示に寄与する表示領域と、その周辺の非表示領域とを形成した場合に、非表示領域に形成する回路（例えば図7に示したようなデータ線駆動回路101、走査線駆動回路104）では、駆動電圧を12V程度必要とするため、半導体層の層厚が $0.2\mu m$ 以上必要となる。一方、非表示領域においてこのような半導体層を形成する場合には、表示領域においては設計上 $0.07\mu m$ 以下の膜厚となる。

【0048】

ここで、表示領域と非表示領域の半導体層と同じ工程で形成する場合、少なくとも $0.2\mu m$ 以上の膜厚を有する半導体層を形成する必要があるが、この $0.2\mu m$ 以上の膜厚を有する半導体層を、表示領域において $0.07\mu m$ 程度とするためには、 $0.13\mu m$ 程度の膜厚の半導体層を除去することが必要となる。この除去方法として上述したような犠牲酸化膜226a（図3参照）を形成し、これを除去する方法を採用した場合、酸化による体積膨張を考慮して $0.3\mu m$ 程度の犠牲酸化膜226a（図3参照）を形成する必要がある。したがって、半導体層1aの下側に形成される第1層間絶縁膜12は、この犠牲酸化膜226aの膜厚以上、例えば $0.4\mu m$ 程度は少なくとも必要とするのである。言い換えると、第1層間絶縁膜12の膜厚を $0.4\mu m$ 程度とすることにより、製造プロセスにおいて該第1層間絶縁膜12が侵され、内部の第1遮光膜11a等が剥離する等の不具合も解消でき、信頼性の高い液晶装置を提供することが可能となるのである。

【0049】

次に、本実施形態では、ゲート絶縁膜2を走査線3aに対向する位置から延設して誘電体膜として用い、半導体膜1aを延設して第1蓄積容量電極1fとし、更にこれらに対向する容量線3bの一部を第2蓄積容量電極とすることにより、

蓄積容量 70 が構成されている。より詳細には、半導体層 1 a の高濃度ドレイン領域 1 e が、データ線 6 a 及び走査線 3 a の下に延設されて、同じくデータ線 6 a 及び走査線 3 a に沿って伸びる容量線 3 b 部分に絶縁膜 2 を介して対向配置されて、第 1 蓄積容量電極（半導体層）1 f とされている。特に蓄積容量 70 の誘電体としての絶縁膜 2 は、高温酸化により単結晶シリコン層上に形成される TFT 30 のゲート絶縁膜 2 に他ならないので、薄く且つ高耐圧の絶縁膜とすることができる、蓄積容量 70 は比較的小面積で大容量の蓄積容量として構成できる。

【0050】

更に、蓄積容量 70 においては、図 5 及び図 6 から分かるように、第 1 遮光膜 11 a は、第 2 蓄積容量電極としての容量線 3 b の反対側において第 1 蓄積容量電極 1 f に第 1 層間絶縁膜 12 を介して第 3 蓄積容量電極として対向配置されることにより（図 6 の右側の蓄積容量 70 参照）、蓄積容量が更に付与されるよう構成されている。即ち、本実施形態では、第 1 蓄積容量電極 1 f を挟んで両側に蓄積容量が付与される積層蓄積容量構造が構築されており、蓄積容量がより増加する。よって、当該液晶装置が持つ、表示画像におけるフリッカや焼き付きを防止する機能が向上する。

【0051】

これらの結果、データ線 6 a 下の領域及び走査線 3 a に沿って液晶のディスクリネーションが発生する領域（即ち、容量線 3 b が形成された領域）という開口領域を外れたスペースを有効に利用して、画素電極 9 a の蓄積容量を増やすことが出来る。

【0052】

本実施形態では特に、第 1 遮光膜 11 a（及びこれに電気的接続された容量線 3 b）は定電位源に電気的接続されており、第 1 遮光膜 11 a 及び容量線 3 b は、定電位とされる。従って、第 1 遮光膜 11 a に対向配置される画素スイッチング用 TFT 30 に対し第 1 遮光膜 11 a の電位変動が悪影響を及ぼすことはない。また、容量線 3 b は、蓄積容量 70 の第 2 蓄積容量電極として良好に機能し得る。この場合、定電位源としては、当該液晶装置を駆動するための周辺回路（例えば、走査線駆動回路、データ線駆動回路等）に供給される負電源、正電源等の

定電位源、接地電源、対向電極 21 に供給される定電位源等が挙げられる。このように周辺回路等の電源を利用すれば、専用の電位配線や外部入力端子を設ける必要なく、第 1 遮光膜 11a 及び容量線 3b を定電位にできる。

【0053】

また、図 5 及び図 6 に示したように、本実施形態では、TFT アレイ基板 10 に第 1 遮光膜 11a を設けるのに加えて、コンタクトホール 13 を介して第 1 遮光膜 11a は、前段あるいは後段の容量線 3b に電気的接続するように構成されている。従って、各第 1 遮光膜 11a が、自段の容量線に電気的接続される場合と比較して、画素部の開口領域の縁に沿って、データ線 6a に重ねて容量線 3b 及び第 1 遮光膜 11a が形成される領域の他の領域に対する段差が少なくて済む。このように画素部の開口領域の縁に沿った段差が少ないと、当該段差に応じて引き起こされる液晶のディスクリネーション（配向不良）を低減できるので、画素部の開口領域を広げることが可能となる。

【0054】

また、第 1 遮光膜 11a は、前述のように直線状に伸びる本線部から突出した突出部にコンタクトホール 13 が開孔されている。ここで、コンタクトホール 13 の開孔箇所としては、縁に近い程、ストレスが縁から発散される等の理由により、クラックが生じ難いことが判明されている。従ってこの場合、どれだけ突出部の先端に近づけてコンタクトホール 13 を開孔するかに応じて（好ましくは、マージンぎりぎりまで先端に近づけるかに応じて）、製造プロセス中に第 1 遮光膜 11a にかかる応力が緩和されて、より効果的にクラックを防止することができ、歩留まりを向上させることができるとなる。

【0055】

また、容量線 3b と走査線 3a とは、同一のポリシリコン膜からなり、蓄積容量 70 の誘電体膜と TFT 30 のゲート絶縁膜 2 とは、同一の高温酸化膜からなり、第 1 蓄積容量電極 1f と、TFT 30 のチャネル形成領域 1a およびソース領域 1d、ドレイン領域 1e 等とは、同一の半導体層 1a からなる。このため、TFT アレイ基板 10 上に形成される積層構造を単純化でき、更に、後述の液晶装置の製造方法において、同一の薄膜形成工程で容量線 3b 及び走査線 3a を同

時に形成でき、蓄積容量 70 の誘電体膜及びゲート絶縁膜 2 を同時に形成できる。

。

【0056】

更に、図5に示したように、第1遮光膜 11a は、走査線 3a に沿って夫々伸延しており、しかも、データ線 6a に沿った方向に対し複数の縞状に分断されている。このため、例えば各画素部の開口領域の周りに一体的に形成された格子状の遮光膜を配設した場合と比較して、第1遮光膜 11a、走査線 3a 及び容量線 3b を形成するポリシリコン膜、データ線 6a を形成する金属膜、層間絶縁膜等からなる当該液晶装置の積層構造において、各膜の物性の違いに起因した製造プロセス中の加熱冷却に伴い発生するストレスが格段に緩和される。このため、第1遮光膜 11a 等におけるクラックの発生防止や歩留まりの向上が図られる。

【0057】

尚、図5では、第1遮光膜 11a における直線状の本線部分は、容量線 3b の直線状の本線部分にほぼ重ねられるように形成されているが、第1遮光膜 11a が、TFT 30 のチャネル領域を覆う位置に設けられており且つコンタクトホール 13 を形成可能なように容量線 3b と何れかの箇所で重ねられていれば、TFT に対する遮光機能及び容量線に対する低抵抗化機能を發揮可能である。従って、例えば相隣接した走査線 3a と容量線 3bとの間にある走査線に沿った長手状の間隙領域や、走査線 3a と若干重なる位置にまでも、当該第1遮光膜 11a を設けてもよい。

【0058】

容量線 3b と第1遮光膜 11a とは、第1層間絶縁膜 12 に開孔されたコンタクトホール 13 を介して確実に且つ高い信頼性を持って、両者は電気的接続されているが、このようなコンタクトホール 13 は、画素毎に開孔されても良く、複数の画素からなる画素グループ毎に開孔されても良い。

【0059】

コンタクトホール 13 を画素毎に開孔した場合には、第1遮光膜 11a による容量線 3b の低抵抗化を促進でき、更に、両者間における冗長構造の度合いを高められる。他方、コンタクトホール 13 を複数の画素からなる画素グループ毎に

(例えば2画素毎に或いは3画素毎に)開孔した場合には、容量線3bや第1遮光膜11aのシート抵抗、駆動周波数、要求される仕様等を勘案しつつ、第1遮光膜11aによる容量線3bの低抵抗化及び冗長構造による利益と、多数のコンタクトホール13を開孔することによる製造工程の複雑化或いは当該液晶装置の不良化等の弊害とを適度にバランスできるので、実践上大変有利である。

【0060】

また、このような画素毎或いは画素グループ毎に設けられるコンタクトホール13は、対向基板20の側から見てデータ線6aの下に開孔されている。このため、コンタクトホール13は、画素部の開口領域から外れており、しかもTFT30や第1蓄積容量電極1fが形成されていない第1層間絶縁膜12の部分に設けられているので、画素部の有効利用を図りつつ、コンタクトホール13の形成によるTFT30や他の配線等の不良化を防ぐことができる。

【0061】

再び、図6において、画素スイッチング用TFT30は、LDD(Lightly Doped Drain)構造を有しており、走査線3a、該走査線3aからの電界によりチャネルが形成される半導体層1aのチャネル領域1a'、走査線3aと半導体層1aとを絶縁するゲート絶縁膜2、データ線6a、半導体層1aの低濃度ソース領域(ソース側LDD領域)1b及び低濃度ドレイン領域(ドレイン側LDD領域)1c、半導体層1aの高濃度ソース領域1d並びに高濃度ドレイン領域1eを備えている。高濃度ドレイン領域1eには、複数の画素電極9aのうちの対応する一つが接続されている。

【0062】

ソース領域1b及び1d並びにドレイン領域1c及び1eは後述のように、半導体層1aに対し、n型又はp型のチャネルを形成するかに応じて所定濃度のn型用又はp型用のドーパントをドープすることにより形成されている。n型チャネルのTFTは、動作速度が速いという利点があり、画素のスイッチング素子である画素スイッチング用TFT30として用いられることが多い。

【0063】

データ線6aは、Al等の金属膜や金属シリサイド等の合金膜などの遮光性の

薄膜から構成されている。また、走査線 3 a、ゲート絶縁膜 2 及び第 1 層間絶縁膜 1 2 の上には、高濃度ソース領域 1 d へ通じるコンタクトホール 5 及び高濃度ドレイン領域 1 e へ通じるコンタクトホール 8 が各々形成された第 2 層間絶縁膜 4 が形成されている。このソース領域 1 b へのコンタクトホール 5 を介して、データ線 6 a は高濃度ソース領域 1 d に電気的接続されている。

【0064】

更に、データ線 6 a 及び第 2 層間絶縁膜 4 の上には、高濃度ドレイン領域 1 e へのコンタクトホール 8 が形成された第 3 層間絶縁膜 7 が形成されている。この高濃度ドレイン領域 1 e へのコンタクトホール 8 を介して、画素電極 9 a は高濃度ドレイン領域 1 e に電気的接続されている。前述の画素電極 9 a は、このように構成された第 3 層間絶縁膜 7 の上面に設けられている。尚、画素電極 9 a と高濃度ドレイン領域 1 e とは、データ線 6 a と同一の A 1 膜や走査線 3 b と同一のポリシリコン膜を中継して電気的接続するようにしてもよい。

【0065】

画素スイッチング用 TFT 3 0 は、好ましくは上述のように LDD 構造を持つが、低濃度ソース領域 1 b 及び低濃度ドレイン領域 1 c に不純物イオンの打ち込みを行わないオフセット構造を持ってよいし、ゲート電極 3 a をマスクとして高濃度で不純物イオンを打ち込み、自己整合的に高濃度ソース及びドレイン領域を形成するセルフアライン型の TFT であってもよい。

【0066】

また、画素スイッチング用 TFT 3 0 のゲート電極（走査線 3 a）をソース－ドレイン領域 1 b 及び 1 e 間に 1 個のみ配置したシングルゲート構造としたが、これらの間に 2 個以上のゲート電極を配置してもよい。この際、各々のゲート電極には同一の信号が印加されるようとする。このようにダブルゲート或いはトリプルゲート以上で TFT を構成すれば、チャネルとソース－ドレイン領域接合部のリーク電流を防止でき、オフ時の電流を低減することができる。これらのゲート電極の少なくとも 1 個を LDD 構造或いはオフセット構造にすれば、更にオフ電流を低減でき、安定したスイッチング素子を得ることができる。

【0067】

ここで、一般には、半導体層 1 a のチャネル領域 1 a'、低濃度ソース領域 1 b 及び低濃度ドレイン領域 1 c 等の単結晶シリコン層は、光が入射するとシリコンが有する光電変換効果により光電流が発生してしまい画素スイッチング用 TFT 30 のトランジスタ特性が劣化するが、本実施形態では、走査線 3 a を上側から覆うようにデータ線 6 a が A I 等の遮光性の金属薄膜から形成されているので、少なくとも半導体層 1 a のチャネル領域 1 a' 及び LDD 領域 1 b、1 c への入射光の入射を効果的に防ぐことが出来る。また、前述のように、画素スイッチング用 TFT 30 の下側には、第 1 遮光膜 11 a が設けられているので、少なくとも半導体層 1 a のチャネル領域 1 a' 及び LDD 領域 1 b、1 c への戻り光の入射を効果的に防ぐことが出来る。

【0068】

なお、この実施形態では、相隣接する前段あるいは後段の画素に設けられた容量線 3 b と第 1 遮光膜 11 a とを接続しているため、最上段あるいは最下段の画素に対して第 1 遮光膜 11 a に定電位を供給するための容量線 3 b が必要となる。そこで、容量線 3 b の数を垂直画素数に対して 1 本余分に設けておくようになると良い。

【0069】

(液晶装置の全体構成)

以上のように構成された本実施形態の液晶装置の全体構成を図 7 及び図 8 を参照して説明する。尚、図 7 は、TFT アレイ基板 10 をその上に形成された各構成要素と共に対向基板 20 の側から見た平面図であり、図 8 は、対向基板 20 を含めて示す図 7 の H-H' 断面図である。

【0070】

図 7において、TFT アレイ基板 10 の上には、シール材 51 がその縁に沿つて設けられており、その内側に並行して、例えば第 2 遮光膜 23 と同じ或いは異なる材料から成る周辺見切りとしての第 2 遮光膜 53 が設けられている。シール材 51 の外側の領域には、データ線駆動回路 101 及び外部回路接続端子 102 が TFT アレイ基板 10 の一辺に沿って設けられており、走査線駆動回路 104 が、この一辺に隣接する 2 辺に沿って設けられている。

【0071】

走査線 3 a に供給される走査信号遅延が問題にならない場合には、走査線駆動回路 104 は片側だけでも良いことは言うまでもない。また、データ線駆動回路 101 を画面表示領域の辺に沿って両側に配列してもよい。例えば奇数列のデータ線 6 a は画面表示領域の一方の辺に沿って配設されたデータ線駆動回路から画像信号を供給し、偶数列のデータ線は前記画面表示領域の反対側の辺に沿って配設されたデータ線駆動回路から画像信号を供給するようにしてもよい。この様にデータ線 6 a を櫛歯状に駆動するようにすれば、データ線駆動回路の占有面積を拡張することができるため、複雑な回路を構成することが可能となる。

【0072】

更に TFT アレイ基板 10 の残る一辺には、画面表示領域の両側に設けられた走査線駆動回路 104 間を接続するための複数の配線 105 が設けられており、更に、周辺見切りとしての第 2 遮光膜 53 の下に隠れてプリチャージ回路を設けてもよい。また、対向基板 20 のコーナー部の少なくとも 1 箇所においては、TFT アレイ基板 10 と対向基板 20 との間で電気的導通をとるための導通材 106 が設けられている。そして、図 8 に示すように、図 7 に示したシール材 51 とほぼ同じ輪郭を持つ対向基板 20 が当該シール材 51 により TFT アレイ基板 10 に固定されている。

【0073】

以上の液晶装置の TFT アレイ基板 10 上には更に、製造途中や出荷時の当該液晶装置の品質、欠陥等を検査するための検査回路等を形成してもよい。また、データ線駆動回路 101 及び走査線駆動回路 104 を TFT アレイ基板 10 の上に設ける代わりに、例えば TAB (テープオートメイティッドボンディング基板) 上に実装された駆動用 LSI に、TFT アレイ基板 10 の周辺領域に設けられた異方性導電フィルムを介して電気的及び機械的に接続するようにしてもよい。また、対向基板 20 の投射光が入射する側及び TFT アレイ基板 10 の出射光が出射する側には各々、例えば、TN (ツイステッドネマティック) モード、STN (スーパー TN) モード、D-STN (デュアルスキャン-STN) モード等の動作モードや、ノーマリーホワイトモード／ノーマリーブラックモードの別に応

じて、偏光フィルム、位相差フィルム、偏光手段などが所定の方向で配置される。

【0074】

以上、本実施形態では、電気光学材料として液晶を用いた液晶装置を電気光学装置の一実施形態として説明した。液晶としては、例えば、TN (Twisted Nematic) 型のほか、180° 以上のねじれ配向を有する STN (Super Twisted Nematic) 型、BTN (Bistable Twisted Nematic) 型、強誘電型等のメモリ性を有する双安定型、高分子分散型、ゲストホスト型等を含めて、周知なものを広く用いることができる。

【0075】

また、本発明はさらに、液晶以外の電気光学材料、例えば、エレクトロルミネッセンス (EL) 、デジタルマイクロミラーデバイス (DMD) 、或いは、プラズマ発光や電子放出による蛍光等を用いた様々な電気光学装置に対しても適用可能であるということは言うまでもない。

【0076】

なお、本発明は、上述した各実施形態に限られるものではなく、請求の範囲及び明細書全体から読み取れる発明の要旨或いは思想に反しない範囲で適宜変更可能であり、そのような変更を伴なう電気光学基板の製造方法、電気光学装置の製造方法並びに電気光学装置にもまた本発明の技術的範囲に含まれるものである。

【図面の簡単な説明】

【図1】 本発明の製造方法により得られる電気光学基板の断面構成図。

【図2】 図1に示す電気光学基板の製造工程を示す断面工程図。

【図3】 図2に続く、電気光学基板の製造工程を示す断面工程図。

【図4】 本発明の電気光学装置の実施形態である液晶装置の等価回路図。

【図5】 図4に示す液晶装置の TFT アレイ基板の相隣接する複数の画素群を示す平面図。

【図6】 図5のA-A' 線に沿う断面図。

【図7】 本実施形態の液晶装置の TFT アレイ基板をその上に形成された各構成要素とともに示す平面図。

【図8】 図7のH-H'線に沿う断面図。

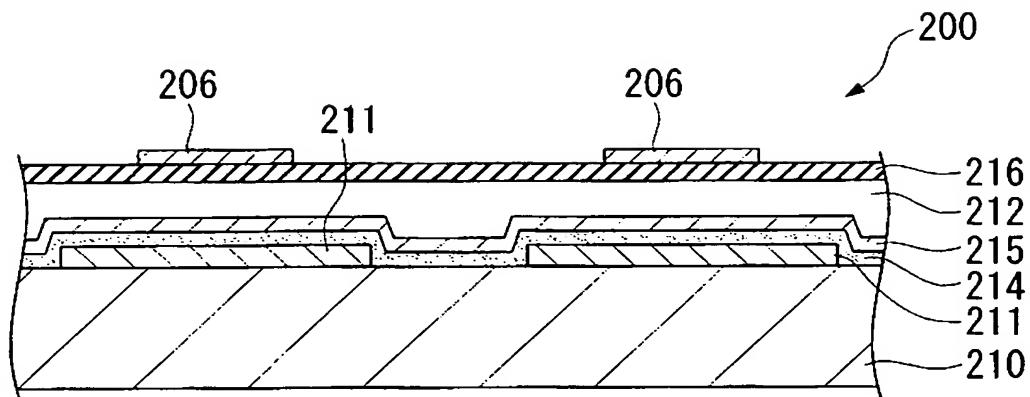
【図9】 図1に示す電気光学基板の製造工程の異なる例を示す断面工程図。

【符号の説明】

1 a …半導体層、 1 0 …TFTアレイ基板、 2 0 …対向基板、 1 1 a …第1遮光膜（遮光層）、 1 2 …第1層間絶縁膜（絶縁体層）、 3 0 …TFT、 2 0 6 …単結晶シリコン層（半導体層）、 2 1 0 …支持基板、 2 1 1 …遮光層、 2 1 2 …絶縁体層、 2 1 4 …接着層、 2 1 5 …保護層、 2 1 6 …貼合せ絶縁層、 2 2 6 a …犠牲酸化層（酸化層）

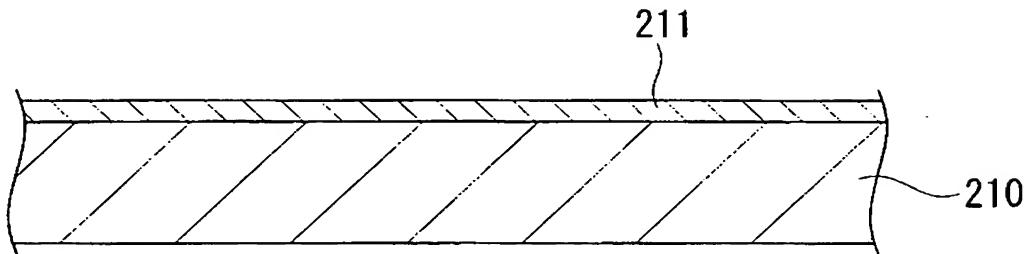
【書類名】 図面

【図 1】

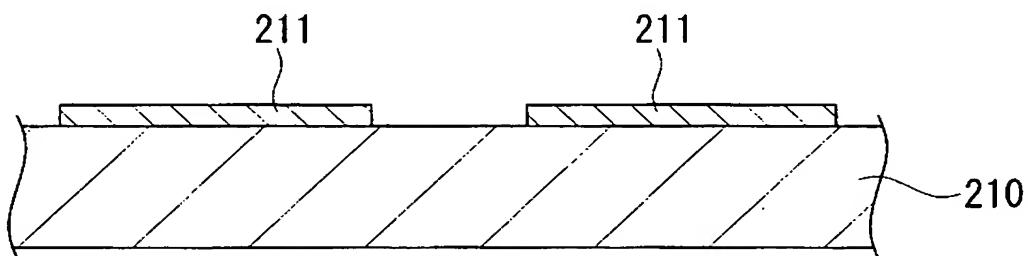


【図 2】

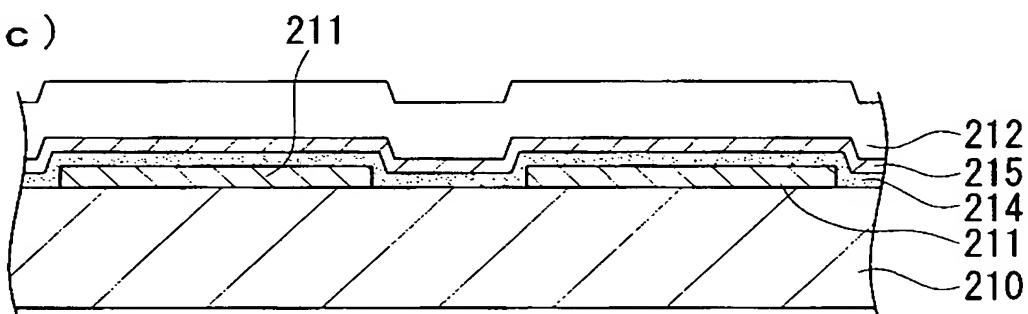
(a)



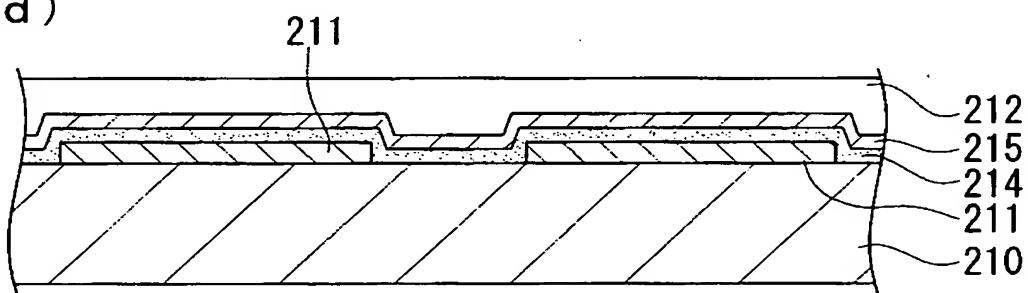
(b)



(c)

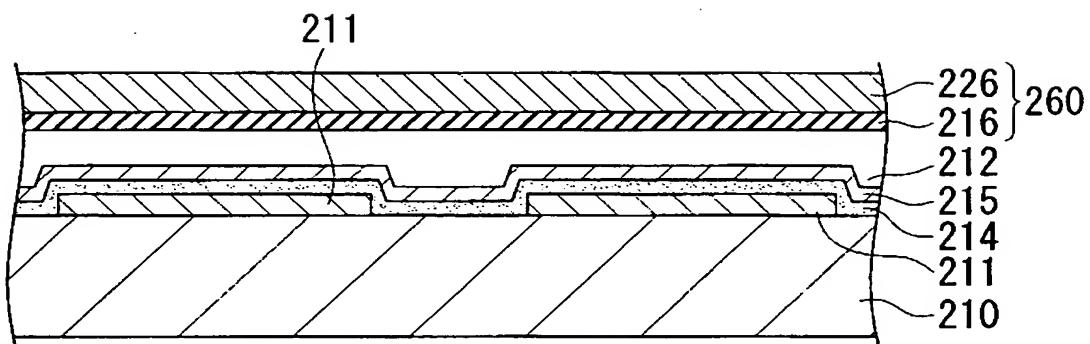


(d)

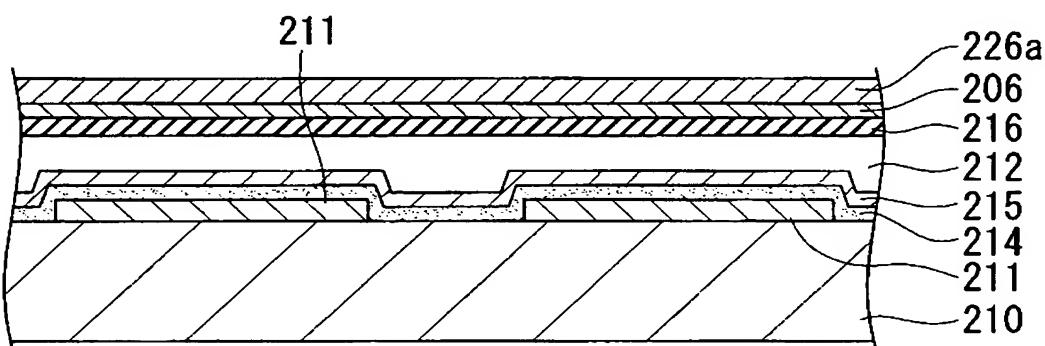


【図3】

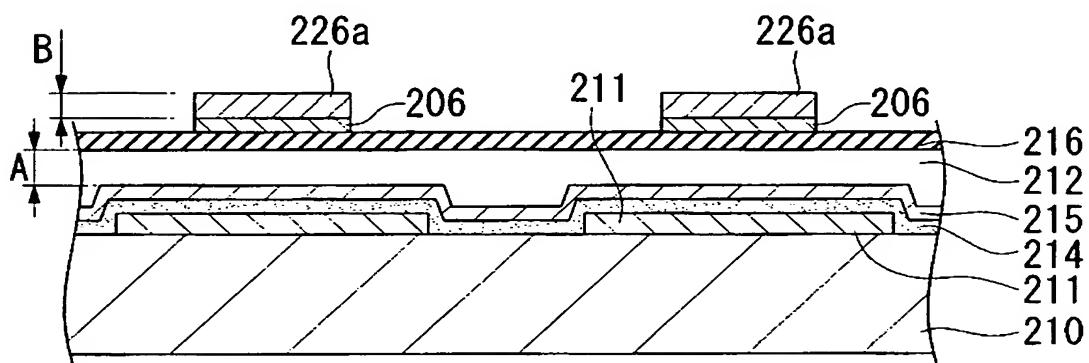
(a)



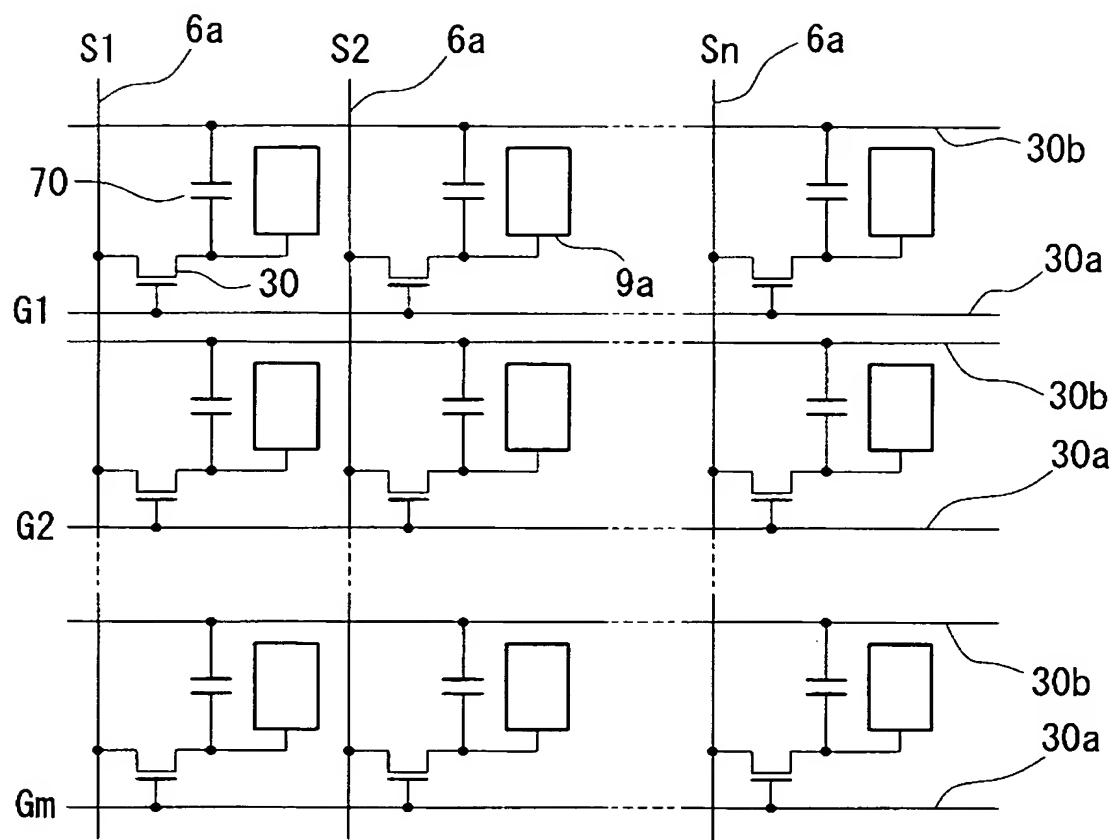
(b)



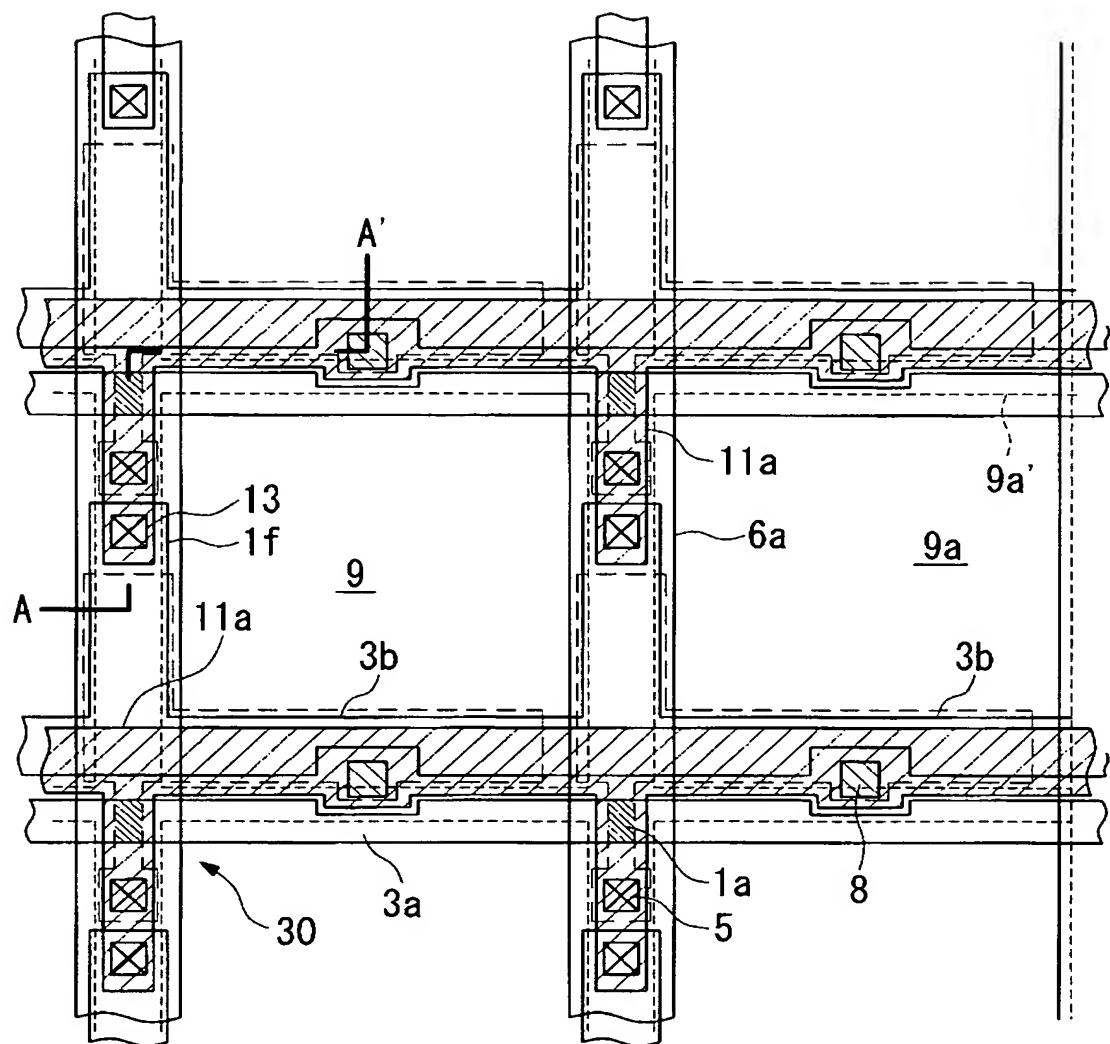
(c)



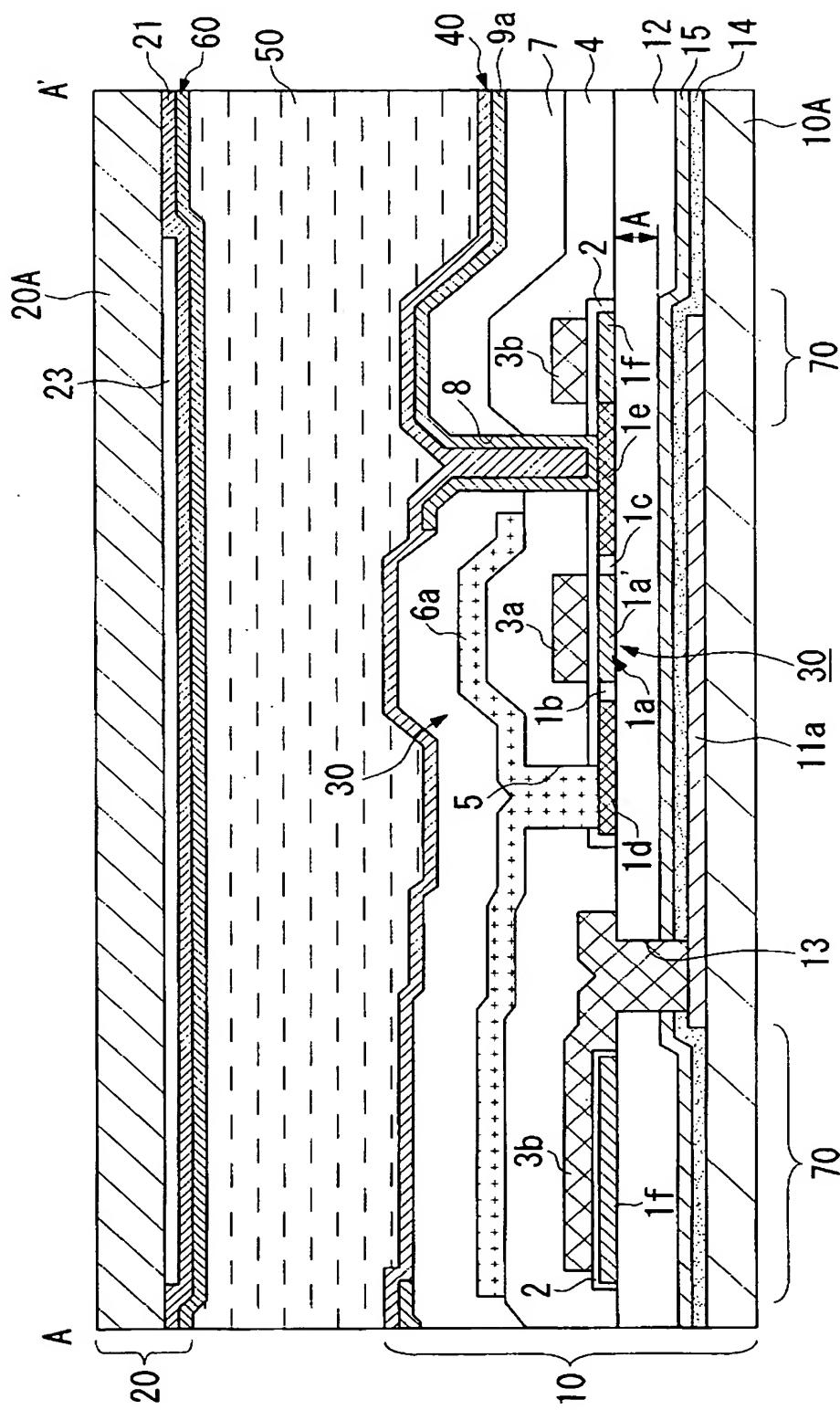
【図 4】



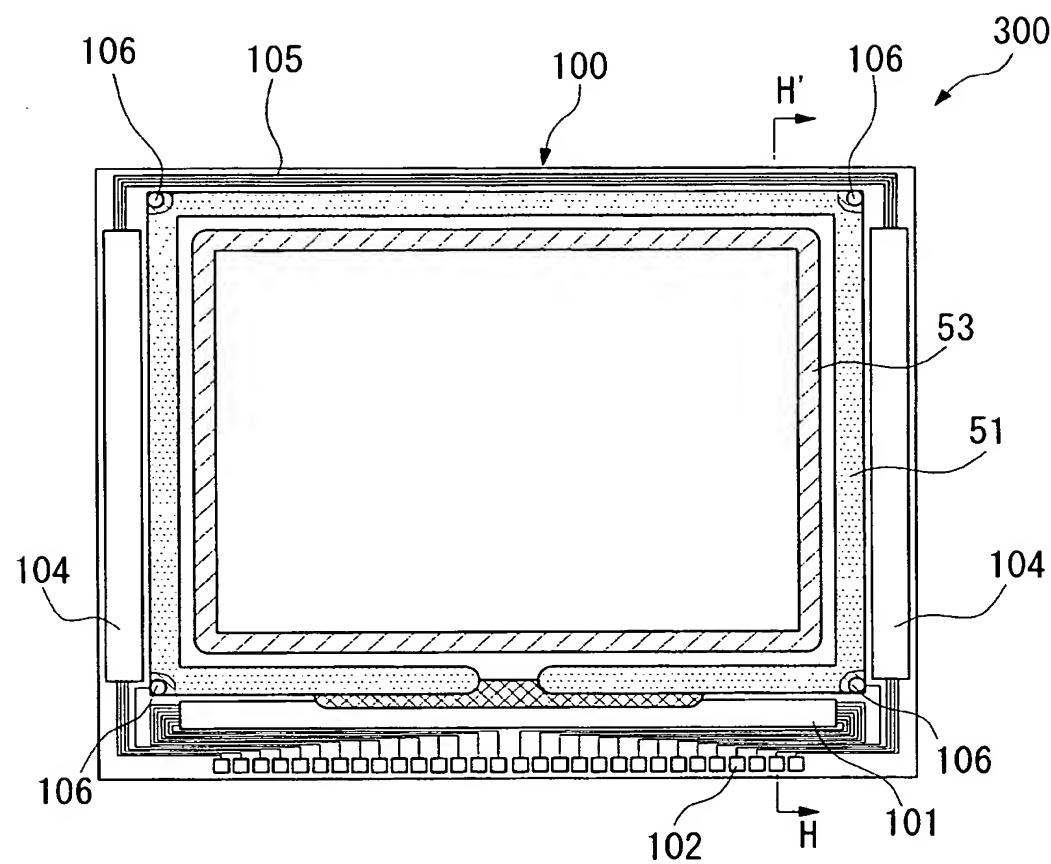
【図5】



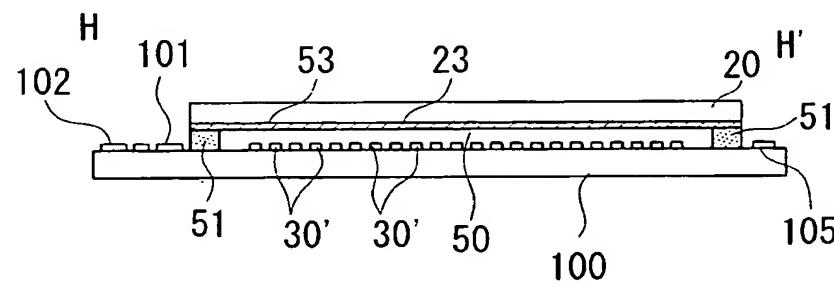
【図6】



【図 7】

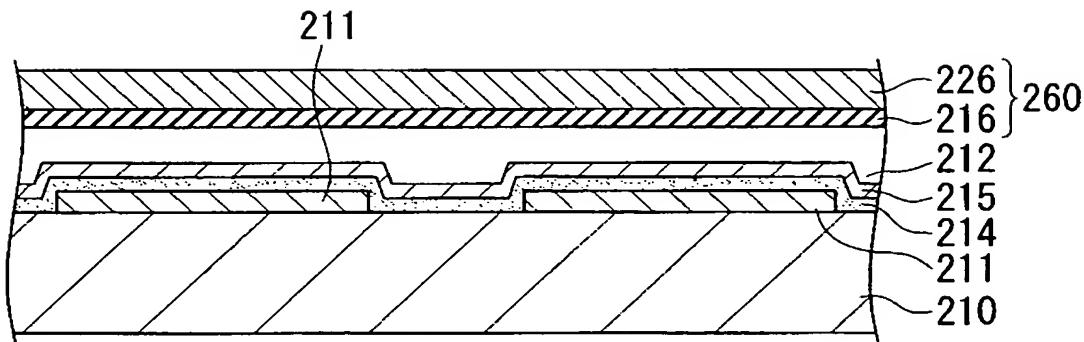


【図 8】

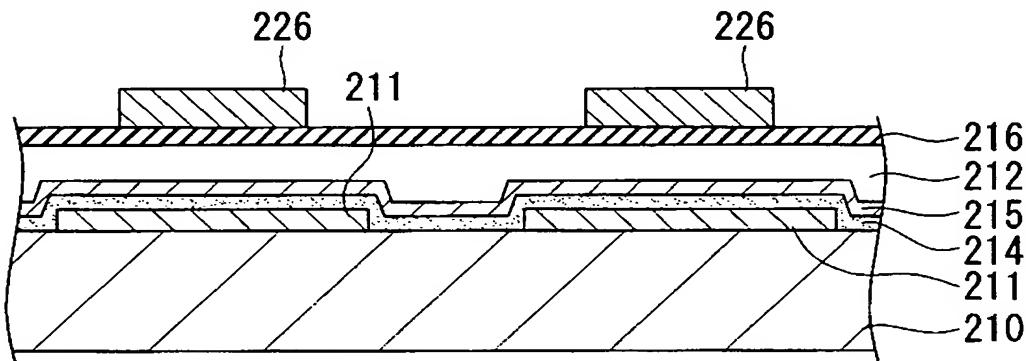


【図9】

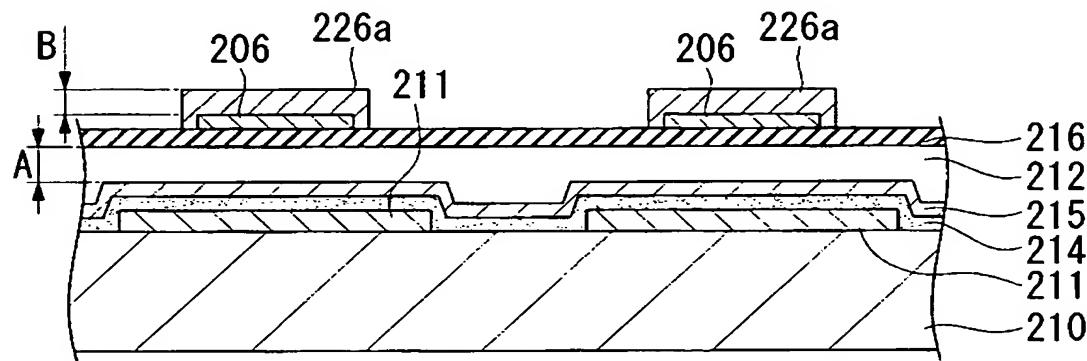
(a)



(b)



(c)



【書類名】要約書

【要約】

【課題】 高い信頼性が得られる電気光学基板を歩留まり良く製造することができる方法を提供する。

【解決手段】 本発明の電気光学基板の製造方法は、支持基板 210 と、単結晶シリコン層（半導体層）226 を備えた半導体基板 260 とを貼り合わせてなる複合基板を用いた電気光学基板の製造方法であって、支持基板 210 上に遮光層 211 を所定パターンにて形成する工程と、パターニングされた遮光層 211 上に絶縁体層 212 を形成する工程と、絶縁体層 212 上に半導体層 206 を形成する工程と、その半導体層 206 の一部を酸化して酸化層 226a を形成する工程と、酸化層 226a を除去する工程とを含み、酸化層 226a の層厚を、絶縁体層 212 の層厚よりも小さくすることを特徴とする。

【選択図】 図3

認定・付力口小青幸良

特許出願の番号	特願 2002-369951
受付番号	50201936881
書類名	特許願
担当官	大西 まり子 2138
作成日	平成 15 年 1 月 7 日

<認定情報・付加情報>

【特許出願人】

【識別番号】 000002369

【住所又は居所】 東京都新宿区西新宿 2 丁目 4 番 1 号

【氏名又は名称】 セイコーエプソン株式会社

【代理人】

【識別番号】 100089037

【住所又は居所】 東京都新宿区高田馬場 3 丁目 23 番 3 号 OR ビル 志賀国際特許事務所

【氏名又は名称】 渡邊 隆

【代理人】

【識別番号】 100064908

【住所又は居所】 東京都新宿区高田馬場 3 丁目 23 番 3 号 OR ビル 志賀国際特許事務所

【氏名又は名称】 志賀 正武

【選任した代理人】

【識別番号】 100110364

【住所又は居所】 東京都新宿区高田馬場 3 丁目 23 番 3 号 OR ビル 志賀国際特許事務所

【氏名又は名称】 実広 信哉

次頁無

特願 2002-369951

出願人履歴情報

識別番号 [000002369]

1. 変更年月日 1990年 8月20日

[変更理由] 新規登録

住 所 東京都新宿区西新宿2丁目4番1号
氏 名 セイコーエプソン株式会社